

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-126418

(43)Date of publication of application : 15.05.1998

(51)Int.Cl.

H04L 12/28

H04Q 3/00

(21)Application number : 08-277643

(71)Applicant : FUJITSU LTD

(22)Date of filing : 21.10.1996

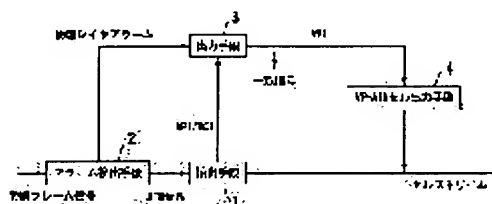
(72)Inventor : OOKURA RITSUKO
MOCHIZUKI HIDEAKI

(54) OAM PROCESSING UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To attain miniaturization and low power consumption by decreasing the circuit scale through the contrivance such as common use of duplicate parts with respect to an operation and maintenance(OAM) processing unit conducting the operation management and the maintenance management of an asynchronous transfer mode (ATM) network.

SOLUTION: An output means 3 stores a plurality of VPI/VCI sets registered in advance. When an extract means 1 extracts the VPI/VCI, the output means compares the extracted VPI/VCI with a plurality of the registered VPI/VCI sets and provides an output of a coincidence signal when there is a VPI/VCI coincident with the extracted VPI/VCI among a plurality of the VPI/VCI sets. On the other hand, when an alarm detection means 2 detects a physical layer alarm, the output means 3 provides an output of VPIs of all VPs relating to the detected physical layer alarm among a plurality of registered VPI/VCI sets to a VP-alarm indication signal(AIS) output means 4. The VP-AIS output means 4 generates a VP-AIS cell based on the received VPIs and provides an output of a cell stream.



LEGAL STATUS

[Date of request for examination] 23.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3302578

[Date of registration] 26.04.2002

✓ [Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-126418

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁶ 識別記号
H 0 4 L 12/28
H 0 4 Q 3/00

F I
H 0 4 L 11/20 D
H 0 4 Q 3/00

審査請求 未請求 請求項の数16 O L (全 16 頁)

(21) 出願番号 特願平8-277643

(22) 出願日 平成8年(1996)10月21日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 大倉 理津子

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 望月 英明

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

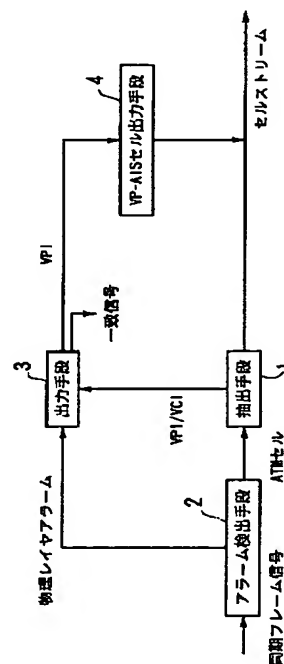
(74) 代理人 弁理士 服部 毅巖

(54) 【発明の名称】 OAM処理装置

(57) 【要約】

【課題】 ATM網の運用管理および保守管理を行うOAM処理装置に関し、重複する部分を共用化する等の工夫により回路規模を縮小し、これによって、小型化および低電力消費化を図ることを課題とする。

【解決手段】 出力手段3は、予め登録された複数のVPI/VCIを記憶している。そして、抽出手段1がVPI/VCIを抽出したときには、抽出されたVPI/VCIを複数の登録VPI/VCIと比較し、複数の登録VPI/VCIの中に、抽出されたVPI/VCIと一致するものがあるときに一致信号を出力する。一方、アラーム検出手段2が物理レイヤアラームを検出したときには、出力手段3は、複数の登録VPI/VCIのうちから、検出された物理レイヤアラームに関連する全VPのVPIをVP-AIS出力手段4へ出力する。VP-AIS出力手段4は、当該VPIを基にVP-AISセルを作成し、セルストリームに出力する。



【特許請求の範囲】

【請求項1】 ATM (Asynchronous Transfer Mode) ネットワークエレメントに設けられ、ATM網の運用管理および保守管理を行うOAM (Operation and Maintenance) 処理装置において、

入力されたATMセルからVPI (Virtual Path Identifier) / VCI (Virtual Channel Identifier) を抽出する抽出手段と、

入力された同期フレーム信号から物理レイヤアラームを検出するアラーム検出手段と、

予め登録された複数のVPI / VCI を記憶していて、前記抽出手段がVPI / VCI を抽出したときには、当該抽出されたVPI / VCI を前記複数の登録VPI / VCI と比較し、前記複数の登録VPI / VCI の中に前記抽出されたVPI / VCI と一致するものがあるときに一致信号を出力し、また、前記アラーム検出手段が物理レイヤアラームを検出したときには、前記複数の登録VPI / VCI のうちから、前記検出物理レイヤアラームに関連する全VP (Virtual Path) のVPI を出力する出力手段と、

前記出力手段が前記物理レイヤアラームの検出によりVPI を出力したときに、当該VPI を基にVP-AIS (Virtual Path-Alarm Indication Signal) セルを作成し、出力するVP-AISセル出力手段と、
を有することを特徴とするOAM処理装置。

【請求項2】 ATMネットワークエレメントに設けられ、ATM網の運用管理および保守管理を行うOAM処理装置において、

入力されたATMセルからVPI / VCI を抽出する抽出手段と、

入力された同期フレーム信号から物理レイヤアラームを検出するアラーム検出手段と、

予め登録された複数のVPI / VCI を記憶するとともに、当該VPI / VCI を新たなVPI / VCI に変換するための変換テーブルを記憶していて、前記抽出手段がVPI / VCI を抽出したときには、当該抽出されたVPI / VCI を前記複数の登録VPI / VCI と比較し、前記複数の登録VPI / VCI の中に前記抽出されたVPI / VCI と一致するものがあるときに、当該一致した登録VPI / VCI を前記変換テーブルを参照して新VPI / VCI に変換して出力し、また、前記アラーム検出手段が物理レイヤアラームを検出したときには、前記複数の登録VPI / VCI のうちから、前記検出物理レイヤアラームに関連する全VPのVPI を取り出し、前記変換テーブルを参照して新VPI に変換して出力する出力手段と、

前記出力手段が前記一致により新VPI / VCI を出力したときに、前記抽出手段によって先にVPI / VCI が抽出されたATMセルのヘッダに記載されているVPI / VCI を、前記新VPI / VCI に入れ替えるヘッ

ダ入替手段と、

前記出力手段が前記物理レイヤアラームの検出により新VPI を出力したときに、当該VPI を基にVP-AISセルを作成し、出力するVP-AISセル出力手段と、

を有することを特徴とするOAM処理装置。

【請求項3】 ATMネットワークエレメントに設けられ、ATM網の運用管理および保守管理を行うOAM処理装置において、

10 入力されたATMセルからVPI / VCI を抽出する抽出手段と、

入力されたATMセルからVP-AISを検出するアラーム検出手段と、

予め登録された複数のVPI / VCI を記憶していて、前記抽出手段がVPI / VCI を抽出したときには、当該抽出されたVPI / VCI を前記複数の登録VPI / VCI と比較し、前記複数の登録VPI / VCI の中に前記抽出されたVPI / VCI と一致するものがあるときに一致信号を出力し、また、前記アラーム検出手段が

20 VP-AISを検出したときには、前記複数の登録VPI / VCI のうちから、前記検出VP-AISに対応するVP (Virtual Path) に属する全VC (Virtual Channel) のVPI / VCI を出力する出力手段と、

前記出力手段が前記VP-AISの検出によりVPI / VCI を出力したときに、当該VPI / VCI を基にVC-AIS (Virtual Channel-Alarm Indication Signal) セルを作成し、出力するVC-AISセル出力手段と、

を有することを特徴とするOAM処理装置。

30 【請求項4】 ATMネットワークエレメントに設けられ、ATM網の運用管理および保守管理を行うOAM処理装置において、

入力されたATMセルからVPI / VCI を抽出する抽出手段と、

入力されたATMセルからVP-AISを検出するアラーム検出手段と、

予め登録された複数のVPI / VCI を記憶するとともに、当該VPI / VCI を新たなVPI / VCI に変換するための変換テーブルを記憶していて、前記抽出手段

40 がVPI / VCI を抽出したときには、当該抽出されたVPI / VCI を前記複数の登録VPI / VCI と比較し、前記複数の登録VPI / VCI の中に前記抽出されたVPI / VCI と一致するものがあるときに、当該一致した登録VPI / VCI を前記変換テーブルを参照して新VPI / VCI に変換して出力し、また、前記アラーム検出手段がVP-AISを検出したときには、前記複数の登録VPI / VCI のうちから、前記検出VP-AISに対応するVPに属する全VCのVPI / VCI を取り出し、前記変換テーブルを参照して新VPI / VCI に変換して出力する出力手段と、

前記出力手段が、前記一致により新VPI/VC Iを出力したときに、前記抽出手段によって先にVPI/VC Iが抽出されたATMセルのヘッダに記載されているVPI/VC Iを、前記新VPI/VC Iに入れ替えるヘッダ入替手段と、

前記出力手段が前記VP-AISの検出により新VPI/VC Iを出力したときに、当該VPI/VC Iを基にVC-AISセルを作成し、出力するVC-AISセル出力手段と、

を有することを特徴とするOAM処理装置。

【請求項5】 ATMネットワークエレメントに設けられ、ATM網の運用管理および保守管理を行うOAM処理装置において、

入力されたATMセルからVPI/VC Iを抽出する抽出手段と、

予め登録された複数のVPI/VC Iを記憶していて、前記抽出手段がVPI/VC Iを抽出したときには、当該抽出されたVPI/VC Iを前記複数の登録VPI/VC Iと比較し、前記複数の登録VPI/VC Iの中に前記抽出されたVPI/VC Iと一致するものがあるときに、前記抽出手段によって先にVPI/VC Iが抽出されたATMセルに対応して、一致信号を出力する一致信号出力手段と、

ATMセルに対して運用および保守に関する複数の処理を施す際に、当該ATMセルに対応して前記一致信号が出力されているか否かをそれぞれ確認するようにする複数の処理手段と、

を有することを特徴とするOAM処理装置。

【請求項6】 前記処理手段はアラーム処理部であることを特徴とする請求項5記載のOAM処理装置。

【請求項7】 前記処理手段はPM(Performance Monitor)処理部であることを特徴とする請求項5記載のOAM処理装置。

【請求項8】 前記処理手段はUPC(Usage Parameter Control)部であることを特徴とする請求項5記載のOAM処理装置。

【請求項9】 ATMネットワークエレメントに設けられ、ATM網の運用管理および保守管理を行うOAM処理装置において、

入力されたATMセルから、VPI/VC Iフィールドを抽出する抽出手段と、

予め所定のレンジ情報を記憶していて、前記抽出手段が抽出したVPI/VC Iフィールドにおけるレンジ外れを判別し、レンジ外れ信号を、前記抽出手段によって先にVPI/VC Iフィールドが抽出されたATMセルに対応して出力するレンジ外れ信号出力手段と、

ATMセルに対して運用および保守に関する複数の処理を施す際に、当該ATMセルに対応して前記レンジ外れ信号が出力されているか否かをそれぞれ確認するようにする複数の処理手段と、

を有することを特徴とするOAM処理装置。

【請求項10】 前記処理手段はアラーム処理部であることを特徴とする請求項9記載のOAM処理装置。

【請求項11】 前記処理手段はPM処理部であることを特徴とする請求項9記載のOAM処理装置。

【請求項12】 前記処理手段はUPC部であることを特徴とする請求項9記載のOAM処理装置。

【請求項13】 ATMネットワークエレメントに設けられ、ATM網の運用管理および保守管理を行うOAM処理装置において、

入力されたPMセルのペイロード記載内容を抽出するとともに、ユーザ情報セルの入力状態を監視する監視手段と、

順次入力するPMセルの相互区間であるPMブロック毎に、各PMブロックに入力したユーザ情報セルの性能に関する計算を行う第1の計算手段と、

前記第1の計算手段で算出されたPMブロック毎の計算結果を、各PMブロックに亘って横断的に纏める第2の計算手段と、

10 前記第2の計算手段から出力される計算結果を、VP/VCチャンネル単位に一時的に保持する保持手段と、

前記保持手段に保持された計算結果をポーリング周期で読み出し、運用および保守に関する各種制御を行う制御手段と、

を有することを特徴とするOAM処理装置。

【請求項14】 アクチベート要求のあったチャンネルのVPI/VC Iを記憶するアクチベートVPI/VC I記憶手段と、

アドレスを発生して、前記アクチベートVPI/VC I記憶手段に対してアドレス指定を行うアドレス発生手段と、

を更に有し、

前記保持手段は、前記アドレス発生手段の発生するアドレスを自己のアドレス指定に流用することを特徴とする請求項13記載のOAM処理装置。

【請求項15】 PMデータ項目の数だけの連続する数字を発生する連続数発生手段を、更に有し、

前記保持手段は、前記アドレス発生手段の発生するアドレスを自己のアドレスの上位ビットとして使用し、前記連続数発生手段が発生する数字を自己のアドレスの下位ビットとして使用することを特徴とする請求項14記載のOAM処理装置。

【請求項16】 ATMネットワークエレメントに設けられ、ATM網の運用管理および保守管理を行うOAM処理装置において、

入力されたATMセルからVPI/VC Iを抽出する抽出手段と、

入力された同期フレーム信号から物理レイヤアラームを検出するアラーム検出手段と、

50 予め登録された複数のVPI/VC Iを記憶していて、

前記抽出手段がVPI/VC Iを抽出したときには、当該抽出されたVPI/VC Iを前記複数の登録VPI/VC Iと比較し、前記複数の登録VPI/VC Iの中に前記抽出されたVPI/VC Iと一致するものがあるときに一致信号を出力し、また、前記アラーム検出手段が物理レイヤアラームを検出したときには、前記複数の登録VPI/VC Iのうちから、前記検出物理レイヤアラームに関連する全VPI/VC Iを出力する出力手段と、

前記出力手段が前記物理レイヤアラームの検出によりVPI/VC Iを出力したときに、当該VPI/VC Iを基にVC-AISセルを作成し、出力するVC-AISセル出力手段と、

を有することを特徴とするOAM処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、OAM (Operation and Maintenance)処理装置に関し、特に、交換機と加入者宅とを繋ぐ加入者回線に配置されるATM (Asynchronous Transfer Mode) ネットワークエレメントに設けられ、ATM網の運用管理および保守管理を行うOAM処理装置に関する。

【0002】近年、ATM方式の通信装置では、サービスの多様化に伴い、ATM網を保守運用するためのATMレイヤのOAM処理の効率化が要求されている。こうした要求に応える1つの方法として、OAM処理装置の小型化、低消費電力化がある。

【0003】

【従来の技術】図10は従来のOAM処理装置の一部を示すブロック図である。このOAM処理装置は、交換機と加入者宅とを繋ぐ加入者回線に配置されたネットワークエレメント内に設けられるものであり、図中、異常検出部101には、交換機側からSONET (Synchronous Optical Network)の同期フレーム信号またはATMセルが送られ、異常検出部101は、これらを監視して、回線の異常を検出する。すなわち、同期フレーム信号が入力している場合には、ヘッダ等の所定位置を監視することにより物理レイヤアラームを検出し、ATMセルが入力している場合にはVP-AIS (Virtual Path Alarm Indication Signal) セルを検出するようにする。この検出が行われると、登録VPI/VC I発生部102が、予め登録されている複数のVPI (Virtual Path Identifier) /VC I (Virtual Channel Identifier)を発生し出力する。登録VPI/VC I発生部102には、自ネットワークエレメントに接続された複数の加入者宅に対応するVPI/VC Iが予め登録されており、物理レイヤのアラームが検出されたときには、この物理レイヤアラームに関連する全VP (Virtual Path)のVPIを出力し、一方、VP-AISが検出されたときには、このVP-AISに対応するVPに属する全VC (Virtual

Channel) のVPI/VC Iを出力する。

【0004】OAMセル作成部103では、物理レイヤアラームが検出されたときには、この物理レイヤアラームに関連する全VPの異常を通知するべく、送られた全VPIを基にして、VP-AISに関するOAMセル (VP-AISセル) を作成し、一方、VP-AISが検出されたときには、このVP-AISに対応するVPに属する全VCの異常を通知するべく、送られたVPI/VC Iを基にして、VC-AIS (Virtual Channel Alarm Indication Signal)に関するOAMセル (VC-AISセル) を作成する。そして、OAMセル交換部104において、OAMセル作成部103で作成されたOAMセルをセルストリーム中に挿入する。この場合に、物理レイヤアラームが検出されたときには、有効なセルによるセルストリームが形成されていないので、そのまま単純に挿入が行われる。しかし、VP-AISが検出されたときには、OAMセル交換部104が、セルストリーム中にアイドルセルを探し、アイドルセルが発見されると、そのアイドルセルの代わりに、OAMセル作成部103で作成されたOAMセルを挿入するようにする。

【0005】一方、VPI/VC I抽出部105では、ATMセルに含まれるVPI/VC Iを抽出して入力VPI/VC I照合部106へ送る。入力VPI/VC I照合部106には、登録VPI/VC I発生部102と同じように、自ネットワークエレメントに接続されている加入者宅に対応するVPI/VC Iが予め登録されており、入力VPI/VC I照合部106は、VPI/VC I抽出部105から送られたVPI/VC Iを、登録されているVPI/VC Iのいずれかと一致するかどうかの照合を行う。一致する場合には、入力されたATMセルが、自ネットワークエレメントに接続されている加入者宅へ送られるべきATMセルであることが分かる。この場合には、一致したことを示す1ビットのフラグを、53バイトの当該ATMセルに対応して付加するようにする。

【0006】なお、自ネットワークエレメントでATMスイッチングが行われるときには、登録VPI/VC I発生部102および入力VPI/VC I照合部106のそれぞれの直後に、新たなVPI/VC Iへの変換部がそれぞれ設けられるとともに、ATMセルのヘッダに記載されたVPI/VC Iの入替部が必要となる。

【0007】

【発明が解決しようとする課題】しかし、従来のOAM処理装置では、登録VPI/VC I発生部102および入力VPI/VC I照合部106が、自ネットワークエレメントに接続されている加入者宅に対応するVPI/VC Iをそれぞれ記憶している。VPI/VC Iのビット数は最大24ビットであり、物理レイヤのチャンネルが複数の場合にはさらにビット数が増え、しかも記憶され

るVPI/VC Iの数が多い。そのため、登録VPI/VC I発生部102および入力VPI/VC I照合部106の各メモリの回路規模が大きく、したがって、OAM処理装置が大型化してしまうとともに、電力消費量も大きい。こうした点から、同じ記憶内容を有している登録VPI/VC I発生部102および入力VPI/VC I照合部106を共用化したいという要求がある。

【0008】また、従来のOAM処理装置では、自ネットワークエレメントでATMスイッチングが行われるときには、登録VPI/VC I発生部102および入力VPI/VC I照合部106のそれぞれの直後に、新VPI/VC I変換部をそれぞれ設ける必要がある。この場合にも、両方の新VPI/VC I変換部に、同一内容の変換テーブルが記憶されたメモリがそれぞれ設けられるが、これらの共用化も要求されている。

【0009】さらに、従来のOAM処理装置では、アラーム処理部、PM (Performance Monitor)処理部、およびUPC (Usage Parameter Control)部の各々において、入力されたATMセルのVPI/VC Iを抽出して、自ネットワークエレメントに接続されている複数の加入者宅に対応するVPI/VC Iのいずれかと一致しているか否かの判別を行っている。この同一の判別が各部で行われて重複しており、回路規模を徒に大きくしていた。

【0010】同様に、従来のOAM処理装置では、アラーム処理部、PM処理部、およびUPC部の各々において、入力されたATMセルのVPI/VC Iフィールドを抽出して、予め設定されたレンジ情報に基づいてレンジ外れを検出することを行っているが、これも同一の判別が各部で行われ、重複した部分を含むので、回路規模を徒に大きくしていた。

【0011】またさらに、従来のOAM処理装置のPM処理部では、VP/VCチャンネル単位に、かつPMブロック（順次入力するPMセルの相互区間）毎にPMデータをメモリに格納し、これを、運用および保守に関する各種制御を行う制御装置のCPUが読み出して、各PMブロックに亘って横断的に纏めることを行っていた。そのため、メモリに格納されるデータ量が膨大となり、メモリの大型化が避けられなかった。また、CPUは、各PMブロックに亘って横断的に纏める計算処理を各PMデータ項目毎に、かつ、VP/VCチャンネル毎に行うため、CPUの処理負担が大きく、1つのCPUがサポートできるVP/VCチャンネル数が少なくなってしまうという問題点があった。

【0012】本発明はこのような点に鑑みてなされたものであり、重複する部分を共用化する等の工夫により回路規模を縮小し、これによって、小型化および低電力消費化を図ったOAM処理装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明では上記目的を達成するために、図1に示すように、入力されたATMセルからVPI/VC Iを抽出する抽出手段1と、入力された同期フレーム信号から物理レイヤアラームを検出するアラーム検出手段2と、予め登録された複数のVPI/VC Iを記憶していて、抽出手段1がVPI/VC Iを抽出したときには、抽出されたVPI/VC Iを複数の登録VPI/VC Iと比較し、複数の登録VPI/VC Iの中に、抽出されたVPI/VC Iと一致するものがあるときに一致信号を出力し、また、アラーム検出手段2が物理レイヤアラームを検出したときには、複数の登録VPI/VC Iのうちから、検出された物理レイヤアラームに関連する全VPのVPIを出力する出力手段3と、出力手段3がVPIを出力したときに、当該VPIを基にVP-AISセルを作成し、出力するVP-AISセル出力手段4とを有することを特徴とするOAM処理装置が提供される。

【0014】以上のような構成において、抽出手段1にATMセルが入力されると、そのATMセルからVPI/VC Iを抽出する。一方、アラーム検出手段2に同期フレーム信号が入力され、その同期フレーム信号に物理レイヤアラームが含まれているときには、その物理レイヤアラームを検出する。

【0015】出力手段3は、予め登録された複数のVPI/VC Iを記憶している。そして、抽出手段1がVPI/VC Iを抽出したときには、抽出されたVPI/VC Iを複数の登録VPI/VC Iと比較し、複数の登録VPI/VC Iの中に、抽出されたVPI/VC Iと一致するものがあるときに一致信号を出力する。

【0016】一方、アラーム検出手段2が物理レイヤアラームを検出した時には、出力手段3は、複数の登録VPI/VC Iのうちから、検出された物理レイヤアラームに関連する全VPのVPIをVP-AIS出力手段4へ出力する。VP-AIS出力手段4は、当該VPIを基にVP-AISセルを作成し、セルストリームに出力する。

【0017】以上のように、出力手段3だけが、予め登録された複数のVPI/VC Iを記憶し、入力ATMセルのVPI/VC Iを登録VPI/VC Iと照合することと、物理レイヤアラーム検出時の全VPのVPI発生とを兼用しているので、従来に比べ、重複する記憶部分の共用化が図られている。これによって、回路規模を縮小でき、したがって、小型化および低電力消費化が図られている。

【0018】なお、図示を省略したが、物理レイヤアラームではなく、VP-AISが検出される場合でも、同様に重複する記憶部分の共用化が図られる。この場合には、さらに、従来必要であったVC-AISセルをセルストリームに挿入する場合のアイドルセルの検出回路も

不要となる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を、図面を参照して説明する。まず、本発明のOAM処理装置の第1の実施の形態の原理構成を、図1を参照して説明する。第1の実施の形態は、入力されたATMセルからVPI/VCIを抽出する抽出手段1と、入力された同期フレーム信号から物理レイヤアラームを検出するアラーム検出手段2と、予め登録された複数のVPI/VCIを記憶していて、抽出手段1がVPI/VCIを抽出したときには、抽出されたVPI/VCIを複数の登録VPI/VCIと比較し、複数の登録VPI/VCIの中に、抽出されたVPI/VCIと一致するものがあるときに一致信号を出力し、また、アラーム検出手段2が物理レイヤアラームを検出したときには、複数の登録VPI/VCIのうちから、検出された物理レイヤアラームに関連する全VPのVPIを出力する出力手段3と、出力手段3がVPIを出力したときに、当該VPIを基にVP-AISセルを作成し、出力するVP-AISセル出力手段4とから構成される。

【0020】以上のような構成において、抽出手段1にATMセルが入力されると、そのATMセルからVPI/VCIを抽出する。一方、アラーム検出手段2に同期フレーム信号が入力され、その同期フレーム信号に物理レイヤアラームが含まれているときに、その物理レイヤアラームを検出する。

【0021】出力手段3は、予め登録された複数のVPI/VCIを記憶している。そして、抽出手段1がVPI/VCIを抽出したときには、抽出されたVPI/VCIを複数の登録VPI/VCIと比較し、複数の登録VPI/VCIの中に、抽出されたVPI/VCIと一致するものがあるときに一致信号を出力する。

【0022】一方、アラーム検出手段2が物理レイヤアラームを検出した時には、出力手段3は、複数の登録VPI/VCIのうちから、検出された物理レイヤアラームに関連する全VPのVPIをVP-AIS出力手段4へ出力する。VP-AIS出力手段4は、当該VPIを基にVP-AISセルを作成し、セルストリームに出力する。

【0023】以上のように、出力手段3だけが、予め登録された複数のVPI/VCIを記憶し、入力ATMセルのVPI/VCIを登録VPI/VCIと照合することと、物理レイヤアラーム検出時の全VPのVPI発生とを兼用しているため、従来に比べ、重複する記憶部分の共用化が図られている。これによって、回路規模を縮小でき、したがって、小型化および低電力消費化が図られている。

【0024】つぎに、第1の実施の形態の詳しい構成を説明する。図2は、第1の実施の形態の詳しい構成を示すブロック図である。このOAM処理装置の左側には交換機を経て回線が接続され、右側には複数の加入者宅が

接続されている。ALM検出部11には、回線側からSONETの同期フレーム信号が送られ、ALM検出部11は、同期フレーム信号の中のヘッダ等の所定位置を監視して物理レイヤアラームを検出する。この物理レイヤアラームが検出されるときには、物理レイヤアラームに関連する全VPが使用できないことを関連装置に知らせる必要がある。そこで、この物理レイヤアラームの検出により、ALM検出部11はアドレス生成カウンタ部12およびエントリ情報メモリ14にALM検出トリガを送る。アドレス生成カウンタ部12はALM検出トリガを受け取ると、連続した数字を高速で発生する。この数字は、VPI/VCIのビット数と同じビット数からなる数字であり、アドレス生成カウンタ部12は、0から最大数までをセクタ13へ送る。セクタ13は、物理レイヤアラームが検出されているときには、この送られた数字を選択してエントリ情報メモリ14およびVPI情報送出处15へ送る。

【0025】エントリ情報メモリ14は、複数の加入者宅に対応する予め登録されたVPI/VCIを記憶しているものである。具体的には、VPI/VCIのビット数と同じビット数からなるアドレスを備え、それらのアドレスのうちで、これらの登録VPI/VCIに相当する値のアドレスにはデータ値「1」を記憶し、それ以外のアドレスにはデータ値「0」を記憶している。そして、エントリ情報メモリ14は、セクタ13を介してアドレス生成カウンタ部12から数字が送られ、かつ、ALM検出トリガが送られると、その数字に一致するアドレスに記載されたデータ値をVPI情報送出处15へ送る。VPI情報送出处15は、エントリ情報メモリ14からデータ値「1」を送られた時だけ、セクタ13から送られた数字を受け入れる。この受け入れられた数字は、複数の加入者宅に対応する予め登録されたVPI/VCIとなっている。この登録VPI/VCIの中から、VPI情報送出处15はVPIだけを取り出し、VP-AISセル生成部16へ送る。したがって、物理レイヤアラームが検出されたことにより、加入者宅に対応する登録全VPIがVP-AISセル生成部16へ送られる。

【0026】VP-AISセル生成部16では、送られた全VPIに関するVP-AISセルを作成する。そしてバッファ17を介してVP-AISセル挿入部18からセルストリームに挿入する。なお、物理レイヤアラームが検出されているときには、セルストリームに有効セルは無いので、適時挿入できる。

【0027】一方、物理レイヤアラームが検出されていないときには、SONET/ATM変換部19で、SONETの同期フレーム信号からATMセルへの信号形態の変換が行われる。そして、VPI/VCI抽出部20が、ATMセルに含まれるVPI/VCIを取り出し、セクタ13へ送る。セクタ13は、物理レイヤアラ

ームが検出されておらず、VPI/VC I抽出部20からVPI/VC Iが送られているときには、このVPI/VC Iを選択してエントリ情報メモリ14へ送る。エントリ情報メモリ14は、そのVPI/VC Iに一致するアドレスに記載されたデータ値をエントリ情報フラグ生成部22へ送る。エントリ情報フラグ生成部22は、エントリ情報メモリ14からデータ値「1」を送られた時だけ、すなわち、入力したATMセルのVPI/VC Iを、複数の加入者宅に対応する予め登録されたVPI/VC Iと照合した結果、一致するときだけ、一致したことを表すフラグを出力する。この照合対象となったATMセル(53バイト)はバッファ21でタイミング調整され、1ビットの信号であるフラグと同期してVP-AISセル挿入部18へ並列に送られる。

【0028】かくして、エントリ情報メモリ14が、予め登録された複数のVPI/VC Iを記憶し、入力ATMセルのVPI/VC Iを登録VPI/VC Iと照合することと、物理レイヤアラーム検出時の全VPのVP I発生とを兼用している。したがって、従来に比べ、重複する部分の共用化が図られ、これによって、回路規模を縮小でき、そのため、小型化および低電力消費化が実現する。

【0029】なお、図1に示す抽出手段1は、図2のVPI/VC I抽出部20に対応し、図1に示すアラーム検出手段2は、図2のALM検出部11に対応し、図1に示す出力手段3は、図2のエントリ情報メモリ14、セクタ13、およびVPI情報送出部15に対応し、図1に示すVP-AISセル出力手段4は、図2のVP-AISセル16、バッファ17、およびVP-AISセル挿入部18に対応する。

【0030】つぎに、第2の実施の形態を説明する。第2の実施の形態は、OAM処理装置の設けられているネットワークエレメントがATMスイッチングを行う場合に関する。

【0031】図3は第2の実施の形態の構成を示すブロック図である。第2の実施の形態の構成は、第1の実施の形態の構成と基本的には同じであるので、同一部分には同一の参照符号を付して、その説明を省略し、相違点だけを説明する。

【0032】ヘッダ抽出部24は入力ATMセルのヘッダを抽出し、VPI/VC I抽出部20へ送るとともに、その入力ATMセルをバッファ21へ送る。新VPI/VC Iメモリ25は、予め登録された複数のVPI/VC Iをアドレスとし、各アドレスのデータ値に、対応のVPI/VC IのATMスイッチング後の新たなVPI/VC Iを記憶している。そして、ATMセルが入力され、そのVPI/VC Iが登録VPI/VC Iと照合され、一致した時に、新VPI/VC Iメモリ25は、エントリ情報メモリ14からデータ値「1」を受け、その時にセクタ13から送られた数字、つまり登

録VPI/VC Iを、ATMスイッチング後の新たなVPI/VC Iに変換して、新ヘッダ生成部26へ出力する。

【0033】新ヘッダ生成部26は、その新たなVPI/VC Iを基に、対応する入力ATMセルの新たなヘッダを作成する。新ヘッダ挿入部27では、新たなヘッダを、対応する入力ATMセルのヘッダと入れ替える。

【0034】VPI情報送出部15では、物理レイヤアラーム検出時に、新VPI/VC Iが送られるので、新VPIを取り出し、VP-AISセルを作成すべきVPIとして出力する。

【0035】したがって、第2の実施の形態では、エントリ情報メモリ14が、予め登録された複数のVPI/VC Iを記憶し、入力ATMセルのVPI/VC Iを登録VPI/VC Iと照合することと、物理レイヤアラーム検出時の全VPのVPI発生とを兼用し、さらに、新VPI/VC Iメモリ25が、新VPI/VC Iへの変換テーブルを記憶し、VPI/VC Iの照合後に新VPI/VC Iへ変換することと、物理レイヤアラーム検出時に発生された全VPのVPI/VC Iを新VPI/VC Iへ変換することとを兼用している。したがって、従来に比べ、重複する部分のさらなる共用化が図られ、これによって、回路規模を縮小でき、そのため、小型化および低電力消費化が実現する。

【0036】つぎに、第3の実施の形態を説明する。第3の実施の形態は、OAM処理装置がVPC(Virtual Path Connection)のアラームをVC-AISに変換する場合に関する。

【0037】図4は、第3の実施の形態の構成を示すブロック図である。このOAM処理装置の左側には交換機を経て回線が接続され、ここではATMセルストリームが供給されている。右側には複数の加入者宅が接続されている。VPI/VC I抽出部29にはATMセルが送られ、その中からVPI/VC Iを抽出してセクタ30へ送る。つぎのVP-AIS検出部31では、セルストリームを監視してVP-AISを検出する。このVP-AISが検出されるときには、このVP-AISに対応するVPに属する全VCが使用できないことを関連装置に知らせる必要がある。そこで、このVP-AISの検出により、VP-AIS検出部31はアドレス生成カウンタ部32にVP-AISに対応するVPIを知らせ、またエントリ情報メモリ33にVP-AIS検出トリガを送る。アドレス生成カウンタ部32はVPIを受け取ると、連続した0から最大数までの数字を高速で発生する。この数字は、VC Iのビット数と同じビット数からなる数字であり、アドレス生成カウンタ部32は、受け取ったVPIを上位ビットにして、この数字を下位ビットに加えてセクタ30へ送る。セクタ30は、VP-AISが検出されているときには、この送られたVPIと数字との組合せ数を選択してエントリ情報メモ

り33およびVCI情報送出部34へ送る。

【0038】エントリ情報メモリ33は、複数の加入者宅に対応する予め登録されたVPI/VCIを記憶しているものであり、具体的には、VPI/VCIのビット数と同じビット数からなるアドレスを備え、それらのアドレスのうちで、これらの登録VPI/VCIに相当する値のアドレスにはデータ値「1」を記憶し、それ以外のアドレスにはデータ値「0」を記憶している。そして、エントリ情報メモリ33は、VP-AIS検出時に、セクタ30を介してアドレス生成カウンタ部32から組合せ数を送られ、かつ、VP-AIS検出トリガを送られると、その組合せ数に一致するアドレスに記載されたデータ値をVCI情報送出部34へ送る。VCI情報送出部34は、エントリ情報メモリ33からデータ値「1」を送られた時だけ、セクタ30から送られた組合せ数を受け入れる。この受け入れられた組合せ数は、VP-AISに対応するVPIを上位ビットに有し、かつ、複数の加入者宅に対応する予め登録されたVCIを下位ビットに有している。このVPI/VCIを、VCI情報送出部34はVC-AISセル生成部35へ送る。したがって、VP-AISが検出されたことにより、そのVP-AISに対応するVPに属する全VCのVPI/VCIがVC-AISセル生成部35へ送られる。

【0039】VC-AISセル生成部35では、送られたVPI/VCIに関するVC-AISセルを作成する。そしてバッファ36を介してVC-AISセル挿入部37からセルストリームに挿入する。なお、セルストリームにアイドルセルが存在するときには、エントリ情報メモリ33での照合によってアイドルセルが存在していることが分かる（セル入力タイミングにも拘らず、一致信号が発生しない状態）ので、そのアイドルセルに代わってVC-AISセルを挿入するようにする。これにより、従来は、アイドルセルを検出する回路があったのに対し、本発明ではこうした検出回路が不要となる。

【0040】一方、VP-AISが検出されていないときには、セクタ30は、VPI/VCI抽出部29からのVPI/VCIを選択してエントリ情報メモリ33へ送る。エントリ情報メモリ33は、そのVPI/VCIに一致するアドレスに記載されたデータ値をエントリ情報フラグ生成部38へ送る。エントリ情報フラグ生成部38は、エントリ情報メモリ33からデータ値「1」を送られた時だけ、すなわち、入力したATMセルのVPI/VCIを、複数の加入者宅に対応する予め登録されたVPI/VCIと照合した結果、一致したときだけ、一致したことを表すフラグを出力する。この照合対象となったATMセル（53バイト）はバッファ39でタイミング調整され、1ビットの信号であるフラグと同期してVC-AISセル挿入部37へ並列に送られる。

【0041】かくして、エントリ情報メモリ33が、予

め登録された複数のVPI/VCIを記憶し、入力ATMセルのVPI/VCIを登録VPI/VCIと照合することと、VP-AIS検出時の対応VPに属する全VCのVPI/VCI発生とを兼用している。したがって、従来に比べ、重複する部分の共用化が図られ、これによって、回路規模を縮小でき、そのため、小型化および低電力消費化が実現する。

【0042】つぎに、第4の実施の形態を説明する。第4の実施の形態は、OAM処理装置の設けられているネットワークエレメントがATMスイッチングを行う場合に関する。

【0043】図5は第4の実施の形態の構成を示すブロック図である。第4の実施の形態の構成は、第3の実施の形態の構成と基本的には同じであるので、同一部分には同一の参照符号を付して、その説明を省略し、相違点だけを説明する。

【0044】ヘッダ抽出部41は入力ATMセルのヘッダを抽出し、VPI/VCI抽出部29へ送るとともに、その入力ATMセルをVP-AIS検出部31を経てバッファ39へ送る。新VPI/VCIメモリ42は、予め登録された複数のVPI/VCIをアドレスとし、各アドレスにデータ値として、対応のVPI/VCIのATMスイッチング後の新たなVPI/VCIを記憶している。そして、ATMセルが入力され、そのVPI/VCIが登録VPI/VCIと照合され、一致した時に、新VPI/VCIメモリ42は、エントリ情報メモリ33からデータ値「1」を受け、その時にセクタ30から送られた数字、つまり登録VPI/VCIを、ATMスイッチング後の新たなVPI/VCIに変換して、新ヘッダ生成部43へ出力する。

【0045】新ヘッダ生成部43は、その新たなVPI/VCIを基に、対応する入力ATMセルの新たなヘッダを作成する。新ヘッダ挿入部44では、新たなヘッダを、対応する入力ATMセルのヘッダと入れ替える。

【0046】VPI情報送出部15では、VP-AIS検出時に、新VPI/VCIが送られるので、それをVC-AISセルを作成すべきVPI/VCIとして出力する。

【0047】したがって、第4の実施の形態では、エントリ情報メモリ33が、予め登録された複数のVPI/VCIを記憶し、入力ATMセルのVPI/VCIを登録VPI/VCIと照合することと、VP-AIS検出時の対応VPに属する前記VCのVPI/VCI発生とを兼用し、さらに、新VPI/VCIメモリ42が、新VPI/VCIへの変換テーブルを記憶し、VPI/VCIの照合後に新VPI/VCIへ変換することと、VP-AIS検出時に発生されたVPI/VCIを新VPI/VCIへ変換することとを兼用している。したがって、従来に比べ、重複する部分のさらなる共用化が図られ、これによって、回路規模を縮小でき、そのため、小

型化および低電力消費化が実現する。

【0048】つぎに、第5の実施の形態を説明する。第5の実施の形態は、OAM処理装置のアラーム処理部、PM処理部、およびUPC部に係わる部分である。図6は第5の実施の形態の構成を示すブロック図である。このOAM処理装置の左側には交換機を経て回線が接続され、ここではATMセルストリームが供給されている。右側には複数の加入者宅が接続されている。VPI/VC I抽出部46にはATMセルが送られ、その中からVPI/VC Iを抽出してエントリ情報メモリ47へ送る。エントリ情報メモリ47は、複数の加入者宅に対応する予め登録されたVPI/VC Iを記憶しているものであり、具体的には、VPI/VC Iのビット数と同じビット数からなるアドレスを備え、それらのアドレスのうちで、これらの登録VPI/VC Iに相当する値のアドレスにはデータ値「1」を記憶し、それ以外のアドレスにはデータ値「0」を記憶している。そして、エントリ情報メモリ47は、VPI/VC I抽出部46から送られたVPI/VC Iに一致するアドレスに記載されたデータ値をエントリ情報フラグ生成部48へ送る。エントリ情報フラグ生成部48は、エントリ情報メモリ47からデータ値「1」を送られた時だけ、すなわち、入力したATMセルのVPI/VC Iを、複数の加入者宅に対応する予め登録されたVPI/VC Iと照合した結果、一致するときだけ、一致したことを表すフラグを出力する。この照合対象となったATMセル(53バイト)はバッファ49でタイミング調整され、1ビットの信号であるフラグと同期してALM処理部50、PM処理部51、およびUPC部52へ並列に送られる。

【0049】ALM(Alarm)処理部50では、フラグにより、入力したATMセルが複数の加入者宅に対応する予め登録されたVPI/VC Iと一致することを認識した上で、VP-AISやVC-AISのアラーム検出処理を行う。また、PM(Performance Monitor)処理部51では、フラグにより、入力したATMセルが複数の加入者宅に対応する予め登録されたVPI/VC Iと一致することを認識した上で、アラーム発生頻度の測定処理を行う。またさらに、UPC(Usage Parameter Control)部52では、フラグにより、入力したATMセルが複数の加入者宅に対応する予め登録されたVPI/VC Iと一致することを認識した上で、QoS(Quality of Service)に基づいた違反セルの廃棄やタグ付けを行ったり、フラグの付いていないATMセルの廃棄等を行う。

【0050】このように、入力したATMセルが複数の加入者宅に対応する予め登録されたVPI/VC Iと一致したことを表すフラグをATMセルに付加してALM処理部50、PM処理部51、およびUPC部52へ送るようにしているので、従来のように、ALM処理部50、PM処理部51、およびUPC部52の各々で、入力ATMセルのVPI/VC Iを登録VPI/VC Iと

照合していた場合に比べ、重複部分が共通化される。これにより、回路規模を縮小でき、そのため、小型化および低電力消費化が実現する。

【0051】つぎに、第6の実施の形態を説明する。第6の実施の形態も、OAM処理装置のアラーム処理部、PM処理部、およびUPC部に係わる部分である。図7は第6の実施の形態の構成を示すブロック図である。このOAM処理装置の左側には交換機を経て回線が接続され、ここではATMセルストリームが供給されている。右側には複数の加入者宅が接続されている。VPI/VC Iフィールド抽出部54にはATMセルが送られ、その中からVPI/VC Iフィールドを抽出してレンジ外れ検出部55へ送る。VPI/VC Iフィールドは、ATMセルのヘッダの中で、VPI/VC Iが収納されるべき24ビットのエリアを指す。VPI/VC Iは、実際には24ビットよりも少ないビット数で表される場合が多く、そうした場合には、VPI/VC IフィールドのうちでVPI/VC Iのために実際に使用されるビット数を予め設定して、そこにだけVPI/VC Iを収納するようにする。その設定されたビット部分をレンジと呼ぶ。レンジ外れ検出部55には、外部から予め設定されたレンジが知らされる。そして、レンジ外れ検出部55は、VPI/VC Iフィールド抽出部54から送られたVPI/VC Iフィールドに収納されているVPI/VC Iが、設定されたレンジ内に収まっているか否かを調べる。レンジ内に収まっていない場合には、レンジ外れフラグ生成部56に、レンジ外れを表すフラグを出力させる。このレンジ外れ検出の対象となったATMセル(53バイト)はバッファ57でタイミング調整され、1ビットの信号であるフラグと同期してALM処理部58、PM処理部59、およびUPC部60へ並列に送られる。

【0052】ALM(Alarm)処理部58では、フラグにより、入力したATMセルがレンジ外れであることを認識した上で、VP-AISやVC-AISのアラーム検出処理を行う。また、PM(Performance Monitor)処理部59では、フラグにより、入力したATMセルがレンジ外れであることを認識した上で、アラーム発生頻度の測定処理を行う。またさらに、UPC(Usage Parameter Control)部60では、フラグにより、入力したATMセルがレンジ外れであることを認識した上で、QoS(Quality of Service)に基づいた違反セルの廃棄やタグ付けを行なう。

【0053】このように、入力したATMセルがレンジ外れであることを表すフラグをATMセルに付加してALM処理部58、PM処理部59、およびUPC部60へ送るようにしているので、従来のように、ALM処理部58、PM処理部59、およびUPC部60の各々で、入力したATMセルのレンジ外れを検出していた場合に比べ、重複部分が共通化される。これにより、回路

規模を縮小でき、そのため、小型化および低電力消費化が実現する。

【0054】つぎに、第7の実施の形態を説明する。図8は第7の実施の形態の構成を示すブロック図である。第7の実施の形態は、第1の実施の形態と第3の実施の形態とを組み合わせたものである。そのため、図8では、図2に示す第1の実施の形態の構成および図4に示す第3の実施の形態の構成と同一部分には同一の参照符号を付して、その説明を省略する。

【0055】第7の実施の形態では、セクタ62に、アドレス生成カウンタ部12から連続した数字が入力され、VPI/VC I抽出部20から、入力ATMセルに含まれるVPI/VC Iが送られ、アドレス生成カウンタ部32から、VPIと数字との組合せ数が送られる。セクタ62は、物理レイヤアラームが検出されているときにはアドレス生成カウンタ部12からの連続数字を選択して出力し、また、VP-AISが検出されているときにはアドレス生成カウンタ部32からのVPIと数字との組合せ数を選択して出力し、さらに、こうしたアラームの検出がなく、VPI/VC I抽出部20からVPI/VC Iが送られているときには、そのVPI/VC Iを選択して出力する。

【0056】VPI/VC I情報送出部63は、物理レイヤアラームが検出されているときには、エントリ情報メモリ14からデータ値「1」を送られた時だけ、セクタ62から送られた連続数字を受け入れる。この受け入れられた数字は、複数の加入者宅に対応する予め登録されたVPI/VC Iとなっている。このVPI/VC Iを、VPI/VC I情報送出部63はVC-AISセル生成部35へ送る。したがって、物理レイヤアラームが検出されたことにより、加入者宅に対応する登録全VPI/VC IがVC-AISセル生成部35へ送られる。この登録全VPI/VC Iは、物理レイヤアラームに関連する全VPにそれぞれ属する全VCのVPI/VC Iである。

【0057】VC-AISセル生成部35では、送られたVPI/VC Iに関するVC-AISセルを作成する。そしてバッファ36を介してVC-AISセル挿入部37からセルストリームに挿入する。なお、物理レイヤアラームが検出されているときには、セルストリームに有効セルは無いので、適時挿入できる。

【0058】また、VPI/VC I情報送出部63は、VP-AISが検出されているときには、エントリ情報メモリ14からデータ値「1」を送られた時だけ、セクタ62から送られた組合せ数を受け入れる。この受け入れられた組合せ数は、VP-AISに対応するVPIを上位ビットに有し、かつ、複数の加入者宅に対応する予め登録されたVC Iを下位ビットに有している。このVPI/VC Iを、VPI/VC I情報送出部63はVC-AISセル生成部35へ送る。したがって、VP-

AISが検出されたことにより、そのVP-AISに対応するVPに属する全VCのVPI/VC IがVC-AISセル生成部35へ送られる。

【0059】VC-AISセル生成部35では、送られたVPI/VC Iに関するVC-AISセルを作成する。そしてバッファ36を介してVC-AISセル挿入部37からセルストリームに挿入する。なお、セルストリームにアイドルセルが存在するときには、エントリ情報メモリ14での照合によりアイドルセルの存在が分かるので、そのアイドルセルに代わってVC-AISセルを挿入するようにする。これにより、従来は、アイドルセルを検出する回路があったのに対し、本発明ではこうした検出回路が不要となる。

【0060】つぎに、第8の実施の形態を説明する。第8の実施の形態は、OAM処理装置のPM処理部に係わる部分である。図9は第8の実施の形態の構成を示すブロック図である。このOAM処理装置の左側からはセルストリームが入力される。このセルストリームには、エントリ情報メモリとの照合により発生された一致フラグと、VPI/VC Iのレンジ外れを表すレンジ外れフラグとが付加されている。VPI/VC I抽出部65は、そのセルストリームの中からPMセルを探し、そのVPI/VC Iを抽出する。PMセルは、性能管理用のOAMセルであり、OAMセルのペイロード内のOAMセルタイプ領域を見ることでPMセルであることが判別され得る。OAMセルは、ATMレイヤの制御に使用するATMセルの一種であり、ATMセルのヘッダのVC I領域およびPT (Payload Type)領域を見ることで判別できる。PMセルのペイロードには、OAMセル挿入間隔内のユーザ情報セル数や誤り検出符号等が搭載されている。これらの搭載情報は、ユーザ情報セルのブロック誤り率、セル損失率、セル混入率等を測定するために必要なものである。

【0061】例えば、送信側から送ったユーザ情報セルが、受信側に到達するまでにどのくらい損失してしまったかを、受信側で調べられるようにするために、送信側から、ほぼ所定数のユーザ情報セルを送る毎にPMセルを送りだしている。その際、PMセルを前回送信したときから今回送信するときまでに送信されたユーザ情報セルの数を今回送信のPMセルに搭載するようにしている。

【0062】計算部67は、順次送られるPMセルの間（これを以下「PMブロック」と呼ぶ）のユーザ情報セルに関する性能を認識するために必要な計算を、複数の監視項目について、VP/VCチャンネル単位に、かつ、PMブロック毎に行う。例えば、PMブロック毎のユーザ情報セルの到着数を、VP/VCチャンネル単位に算出する。

【0063】PMデータカウンタ部68は、計算部67で得られたVP/VCチャンネル単位、かつPMブロック

毎の複数の監視項目についての計算結果を、各PMブロックを横断的に纏め、VP/VCチャンネル単位の水タにする。すなわち、各PMブロック毎に発生した計算結果をカウンタにより累積する。そして、運用および保守に関する各種制御を行う制御装置側のCPU70からポーリング周期の読み出し要求がきたら、PMデータカウンタ部68はそれらのデータを外部デュアルポートRAM69へ転送する。これらのデータとは、複数の監視項目についてのVP/VCチャンネル単位の水タであり、外部デュアルポートRAM69は、これらのデータをCPU70へ通知する前に一時的に格納するものである。なお、外部デュアルポートRAM69の書き込みおよび読み出しにおけるアドレス指定について後述する。

【0064】外部デュアルポートRAM69は、複数の監視項目についてのデータをVP/VCチャンネル毎に格納するだけでよいので、従来のように、VP/VCチャンネル毎だけでなく、PMブロック毎にも格納しなければならなかった場合に比べ、メモリの容量が格段に削減される。

【0065】CPU70は、PMデータカウンタ部68から外部デュアルポートRAM69への転送所要時間を考慮に入れたポーリング周期でデータの読み出し要求を出力する。CPU70が外部デュアルポートRAM69から読み出したデータは、そのまま制御装置への通知データとなっているので、CPU70での特別な計算処理が不要となっている。従来は、CPU70で、各ブロック単位の水タを、VP I/VC Iを判断して、各PMブロックを横断的に纏める計算が必要であったが、本発明ではCPU70がこの計算から開放される。そのため、CPU70がサポート可能なVP/VCチャンネル数が増加する。

【0066】ところで、送信側がPMセルを送信したいときには、送信側がアクチベートセルを受信側に送信し、受信側がアクチベート確認セルを返信して初めて、PMセルを送出するという手続きが踏まれる。アクチベートセルは、これからPMセルを送出してもよいかどうかを送信側が受信側に対して確認をとるためのセルであり、アクチベート確認セルは、送信側からのPMセル送要求を受け付けたことを受信側が送信側に向けて知らせるためのセルである。

【0067】アクチベートセル発生部71は制御装置から、所定のVP I/VC Iのチャンネルを使ってPMセルを送信したい旨のアクチベート要求を受けると、アクチベートセルを受信側へ送信する。アクチベート確認部72は、受信側から送られるセルストリームの中からアクチベート確認セルを抽出し、アクチベート確認セルを受信したことをVP I/VC I保持部73へ知らせる。VP I/VC I保持部73は、アクチベートセルを送信してからアクチベート確認セルが受信されるまでの間、上記所定のVP I/VC Iを保持しておき、アクチベート

確認セルが受信されたときに、そのVP I/VC IをCAM74へ送る。

【0068】ところで、PM処理の実行は、アクチベート要求およびアクチベート確認によってアクチベート中とされたチャンネル（複数のチャンネルに対して同時にアクチベート要求があり得る）に対してのみ行われる。したがって、現在どのチャンネルがアクチベート中なのかを認識して、PMセルが受信されたときに、そのPMセルがアクチベート中のチャンネルを通したものであるかどうかを判断する必要がある。CAM74はこうした機能を備え、デュアルポートRAM76が、アクチベート中のチャンネルのVP I/VC Iを記憶し、比較部78が、入力PMセルのVP I/VC Iと、アクチベート中のチャンネルのVP I/VC Iとの照合を行なっている。アドレスカウンタ75が発生したカウント値がデュアルポートRAM76の書き込みアドレスとなり、また、そのカウント値がシフト部80を経てデュアルポートRAM76の読み出しアドレスとなっている。シフト部80は、デュアルポートRAM76の同一アドレスに同時に書き込みおよび読み出しアクセスが行われることを防止している。また、フラグ部79は、アクチベート要求されたチャンネルのVP I/VC Iが読み出されているときにフラグを出力し、このフラグが出力されているときには、セレクト部77は、新たにアクチベート要求されたチャンネルのVP I/VC IをデュアルポートRAM76へ送らないようにしている。

【0069】ここで、外部デュアルポートRAM69のアドレス指定に、CAM74の指定アドレスを流用している。すなわち、アドレスカウンタ75が発生するカウント値を上位アドレス生成部81へ加える。比較部78は、VP I/VC I抽出部65から送られた入力PMセルのVP I/VC Iと、アクチベート中のチャンネルのVP I/VC Iとの照合を行い、両者が一致しているときに一致信号を上位アドレス生成部81へ送る。上位アドレス生成部81は、一致信号が送られているときにアドレスカウンタ75から送られたカウント値を、外部デュアルポートRAM69のアドレスのうちの上位アドレスとして出力する。そして、下位アドレス生成部82は、PMデータ項目の数だけの連続する数字を発生し、外部デュアルポートRAM69のアドレスのうちの下位アドレスとして出力する。したがって、外部デュアルポートRAM69には、複数のPMデータ項目についてのデータが、アクチベート中のチャンネルのVP I/VC I毎に格納されることとなる。シフト部83は、同一アドレスに書き込みアクセスおよび読み出しアクセスが集中することを防止している。

【0070】以上のように、外部デュアルポートRAM69のアドレス指定に、CAM74の指定アドレスを流用しているので、アドレス発生用の回路の共用化が図られ、回路規模を縮小でき、そのため、小型化および低電

力消費化が実現する。

【0071】

【発明の効果】以上説明したように本発明では、予め登録された複数のVPI/VCIを記憶した出力手段が、入力ATMセルのVPI/VCIを登録VPI/VCIと照合することと、物理レイヤアラーム検出時の全VPのVPI発生とを兼用している。したがって、従来に比べ、重複する部分の共用化が図られ、これによって、OAM処理装置の回路規模を縮小でき、小型化および低電力消費化が図られる。

【0072】なお、物理レイヤアラームではなく、VP-AISが検出される場合でも、同様に重複する部分の共用化が図られる。この場合には、さらに、従来必要であったVC-AISセルをセルストリームに挿入する場合のアイドルセルの検出回路も不要となる。

【0073】また、入力ATMセルのVPI/VCIを登録VPI/VCIと照合する回路を、アラーム処理部、PM処理部、およびUPC部において兼用するようにしている。また、レンジ外れを検出する回路を、アラーム処理部、PM処理部、およびUPC部において兼用

するようにしている。これにより、OAM処理装置の回路規模を縮小できる。

【0074】さらに、PM処理部においてPMデータカウンタ部を設けることにより、PMデータを一時的に保管するメモリの容量を削減し、また、制御装置のCPUの負担を削減している。

【0075】さらにまた、PM処理部において、PMデータを記憶するメモリのアドレス発生回路を、アクチベ*

*ートされたチャンネルのVPI/VCIを記憶するためのメモリのアドレス発生回路で兼用するようにしている。これにより、OAM処理装置の回路規模を縮小できる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】第1の実施の形態の詳しい構成を示すブロック図である。

【図3】第2の実施の形態の構成を示すブロック図である。

【図4】第3の実施の形態の構成を示すブロック図である。

【図5】第4の実施の形態の構成を示すブロック図である。

【図6】第5の実施の形態の構成を示すブロック図である。

【図7】第6の実施の形態の構成を示すブロック図である。

【図8】第7の実施の形態の構成を示すブロック図である。

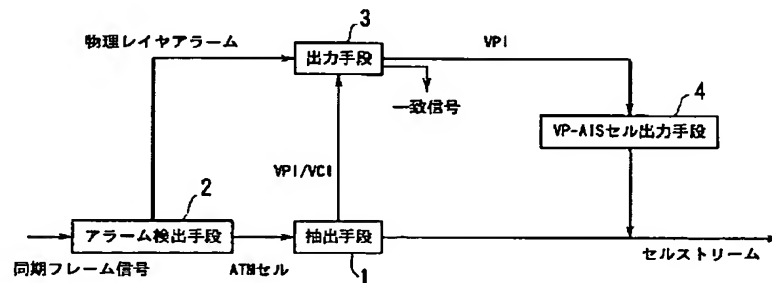
【図9】第8の実施の形態の構成を示すブロック図である。

【図10】従来のOAM処理装置の一部を示すブロック図である。

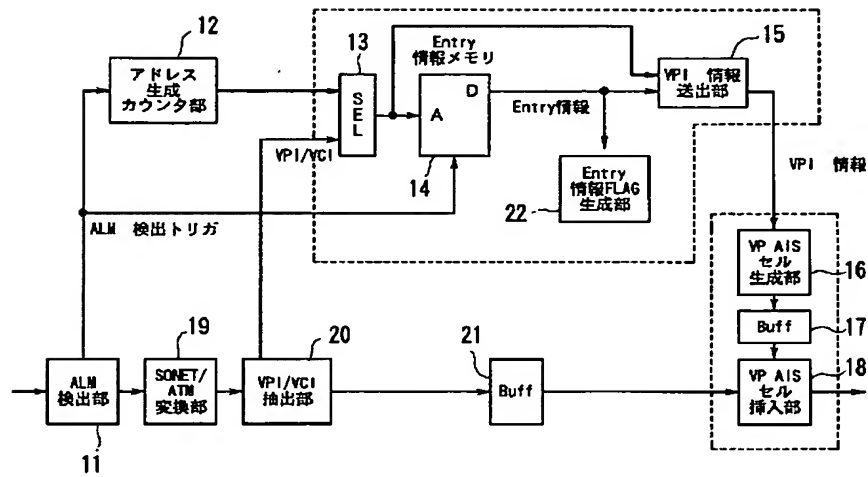
【符号の説明】

- 1 抽出手段
- 2 アラーム検出手段
- 3 出力手段
- 4 VP-AISセル出力手段

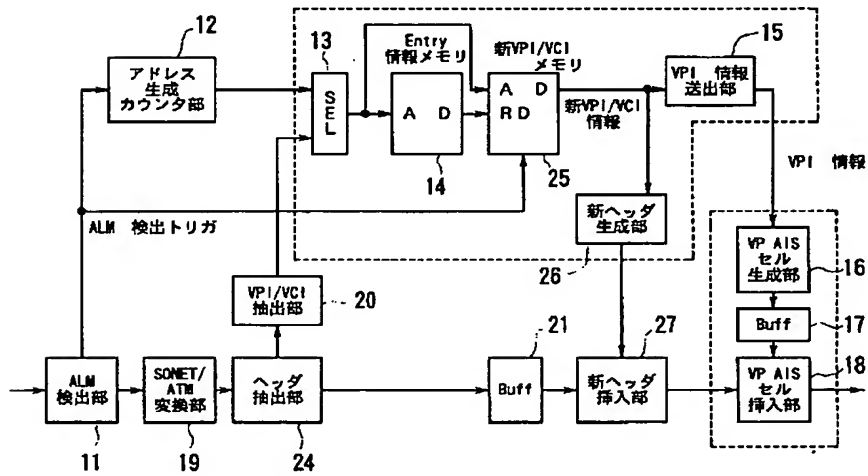
【図1】



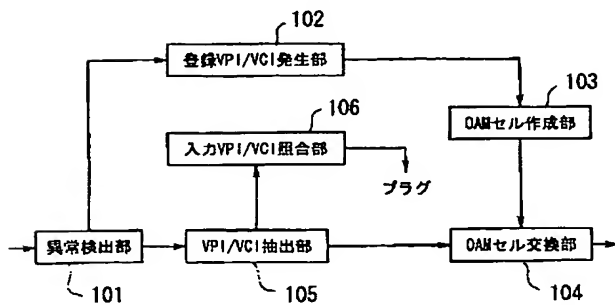
【図2】



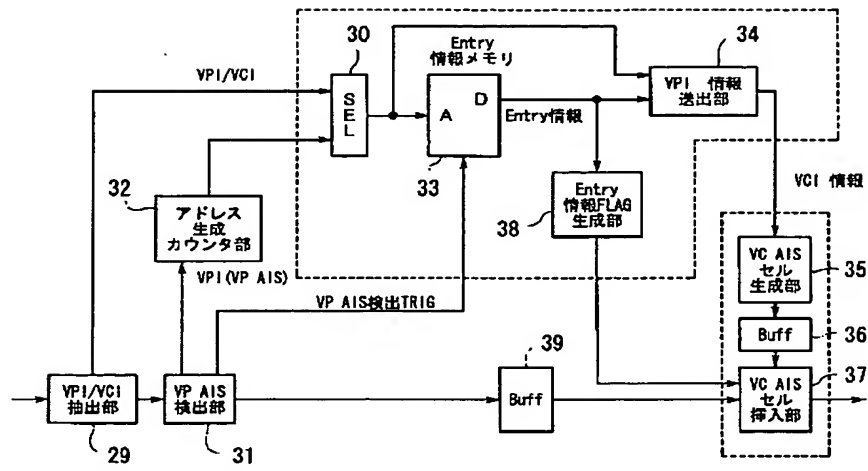
【図3】



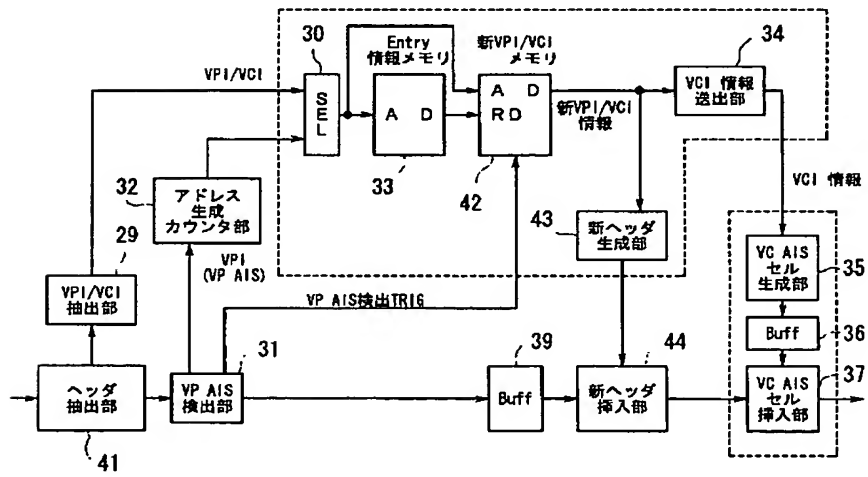
【図10】



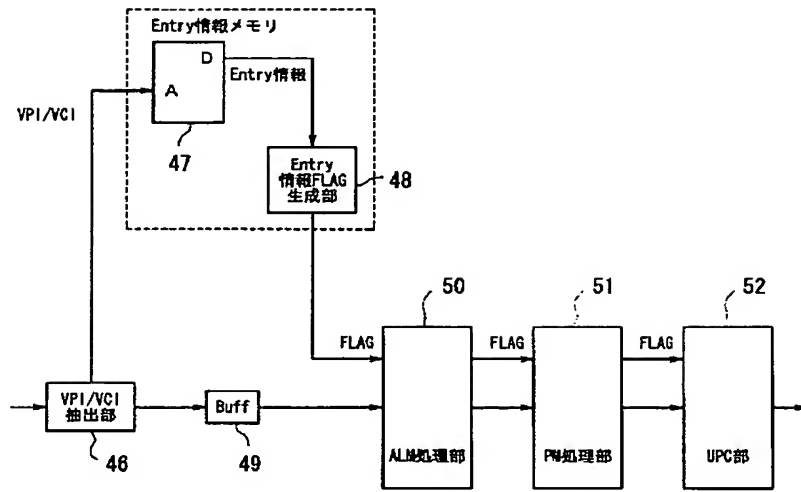
【図4】



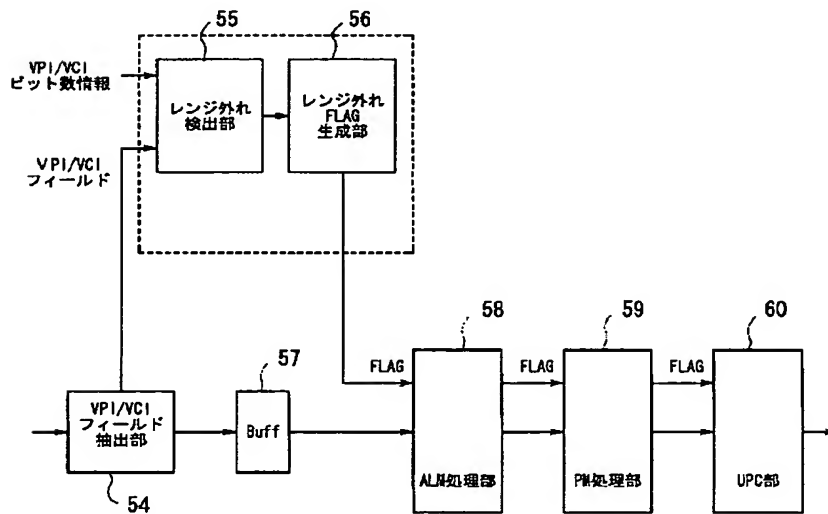
【図5】



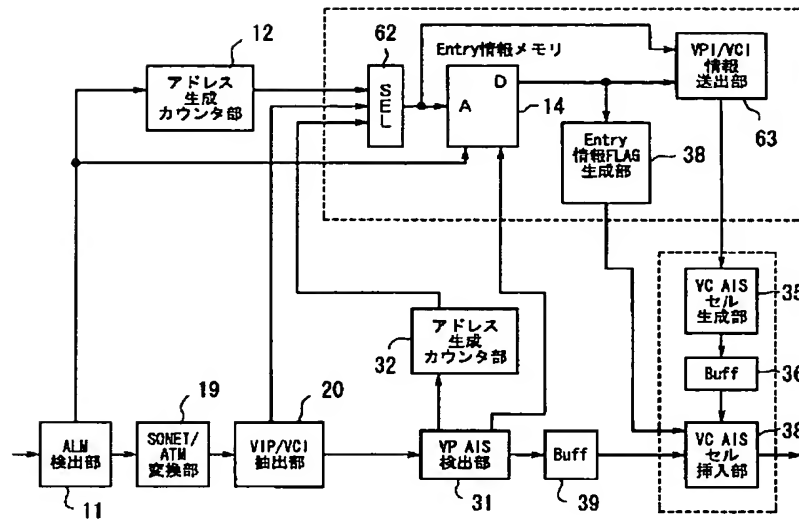
【図6】



【図7】



【図8】



【図9】

